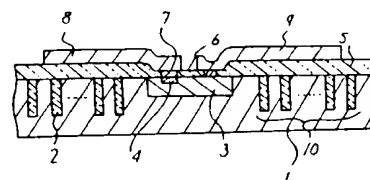


(54) SEMICONDUCTOR DEVICE

(11) 63-198372 (A) (43) 17.8.1988 (19) JP
 (21) Appl. No. 62-31005 (22) 13.2.1987
 (71) NEC CORP (72) GUNJI MIHASHI
 (51) Int. Cl. H01L29/72, H01L21/76, H01L21/90, H01L21/94

PURPOSE: To make the surface of a device on an insulating region almost flat and to form a fine pattern for the device in a region outside the insulating region by a method wherein the insulating region where a number of locally thick insulating films have been arranged is provided at a part under an electrode wiring part for a transistor, an IC chip or the like.

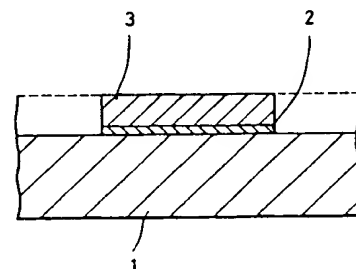
CONSTITUTION: An insulating region 10 where a number of locally thick insulating films have been arranged is provided at a part under an electrode wiring part for a transistor, an IC chip or the like. That is to say, after silicon has been etched selectively, the deep insulating region 10 composed of a number of SiO_2 films is formed selectively at the outside of a base region 3 and an emitter region 4 for the transistor. Accordingly, its surface can be made flat; the base region, the emitter region 3, 4 and so on having fine patterns can be formed easily at the inside of the insulating region. By this setup, an emitter electrode 8 and a base electrode 9 are formed on the flat surface; it is possible to manufacture the high-frequency transistor at a high yield rate.

**(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

(11) 63-198373 (A) (43) 17.8.1988 (19) JP
 (21) Appl. No. 62-29651 (22) 13.2.1987
 (71) NEC CORP (72) HIROSHI KITAJIMA
 (51) Int. Cl. H01L29/78

PURPOSE: To eliminate the high resistance due to a grain boundary and to eliminate the obstruction to miniaturization due to grain growth by making use of a single crystal for a gate electrode.

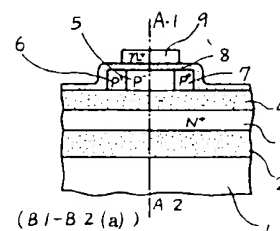
CONSTITUTION: An insulating film 2 is formed on a silicon substrate 1; a single-crystal film 3 is formed on the insulating film by the selective transverse-direction growth of a single crystal, e.g. single-crystal silicon, as a seed from an opening at this insulating film 2; this single-crystal film 3 is used for a gate electrode. After the single-crystal film 3 to be used as the gate and the silicon substrate 1 have been grown, they are separated by etching. As a single-crystal substrate, a III-V compound semiconductor substrate such as a germanium substrate or a GaAs substrate can be enumerated in addition to the silicon substrate. By this setup, because no crystal boundary exists inside, the resistance is lowered; the operating speed of a device is increased; at the same time, because the surface is flat and uneven parts are hardly formed thanks to the single crystal, a fine patterning process is executed easily; both the high speed and the high integration can be realized.

**(54) SEMICONDUCTOR DEVICE**

(11) 63-198374 (A) (43) 17.8.1988 (19) JP
 (21) Appl. No. 62-31789 (22) 13.2.1987
 (71) FUJITSU LTD (72) NAOYOSHI TAMURA
 (51) Int. Cl. H01L29/78, H01L27/00

PURPOSE: To increase the voltage drive capacity by connecting a front gate to a rear gate.

CONSTITUTION: A first conductor layer 3 which has been formed on a first insulating layer 2 and a second insulating film layer 4 which has been formed on the first conductor layer 3 are provided in such a way that they are composed of a semiconductor. In addition, three regions, i.e., a source 6, a drain 7, which have been formed to be in direct contact with the second insulating film layer 4, and a channel 4, which is situated between the source and the drain and which has been doped with a small quantity of impurities, are provided. In addition, a second conductor layer 9 is formed on the channel 5 via a third insulating film layer 8; an extended part of the second conductor layer 9 is connected electrically to the first conductor layer 3. In this way, a rear gate electrode (the first conductor layer 3) is connected to a front gate electrode (the second conductor layer 9); a rear gate potential is changed in the same way as a front gate potential. By this setup, the width of a carrier path can be extended toward the side of the rear gate electrode; the voltage drive capacity can be increased.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-198373

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)8月17日

H 01 L 29/78

3 0 1

G-8422-5F

審査請求 未請求 発明の数 2 (全5頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特 願 昭62-29651

⑯ 出 願 昭62(1987)2月13日

⑰ 発 明 者 北 島 洋 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 館野 千恵子

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 単結晶をゲート電極として用いることを特徴とする半導体装置。

(2) 単結晶基板上に形成された絶縁膜に開口部を設けて単結晶基板を露出させ、この露出した単結晶基板に対し、選択的なエピタキシャル成長を行って前記絶縁膜上へも単結晶を横方向成長させ、単結晶ゲート膜とすることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体装置およびその製造方法に関する。

〔従来の技術〕

従来、シリコンのMOS (Metal-Oxide-Semiconductor) トランジスタのゲート電極には、第6

図に示したように多結晶シリコン29が用いられている。図中30はシリコン基板、31はゲート酸化膜である。この構造は多結晶シリコンを全面に堆積したあとパターニングし、不純物をイオン注入することによって形成する。

〔発明が解決しようとする問題点〕

多結晶シリコンは結晶粒界が内部にあるため単結晶シリコンなどに較べると抵抗が高く、MOS トランジスタのゲート電極として多結晶シリコンを用いた場合には素子の動作速度を下げる原因になっていた。また結晶粒の粒成長が膜厚の増加とともに顕在化するため凹凸が顕著になり、微細な素子のパターニングがしにくいということから素子の微細化を阻害する原因になっていた。本発明の目的は、以上述べたような問題点を解決した半導体装置およびその製造方法を提供することにある。

〔問題点を解決するための手段〕

すなわち本発明は単結晶をゲート電極として用いることを特徴とする半導体装置、および単結晶

基板上に形成された絶縁膜に開口部を設けて単結晶基板を露出させ、この露出した単結晶基板に対し、選択的なエピタキシャル成長を行って前記絶縁膜上へも単結晶を横方向成長させ、単結晶ゲート膜とすることを特徴とする半導体装置の製造方法である。

本発明による半導体装置の構造は、単結晶基板をシリコン基板とした場合、第1図に示す如くなる。図中、1はシリコン基板、2は絶縁膜、3は単結晶膜である。この発明ではシリコン基板1上に絶縁膜2が形成され、この絶縁膜2の開口部から単結晶、たとえば単結晶シリコンを種とし選択横方向成長によって絶縁膜上に単結晶膜3が形成され、この単結晶膜3をゲート電極として用いる。ゲートとして用いる単結晶膜3とシリコン基板とは成長のあとエッチングによって分離する。

本発明における単結晶基板としてはシリコン基板のほか、ゲルマニウム基板、あるいはGa-As基板のようなⅢⅤ化合物半導体基板があげられる。

単結晶金属シリサイドや単結晶金属の選択成長に際しては、単結晶シリコンに較べるとより多くの欠陥が発生する可能性があるが、多結晶シリコン中にある結晶粒界に較べると問題とならない。単結晶シリコンの場合には基板開口部に高濃度に不純物を入れておいてその不純物が成長シリコン膜に取込まれるのを利用したり、あるいは成長時にドーピングを行うことによって低抵抗のシリコン膜を形成することもできる。

〔実施例〕

次に本発明を実施例によって説明する。

実施例1

第2図は本発明の一実施例を説明するための工程図である。第2図(a)は単結晶シリコン基板4の上に薄い酸化シリコン膜5を形成した後、フッ酸を用いて酸化シリコン膜に開口部6を設けた状態を示している。図中、5aは将来ゲート酸化膜となる酸化シリコン膜である。第2図(b)は原料ガスとしてたとえば SiH_2Cl_2 と HCl を用い、選択成長によって基板上に単結晶シリコン膜8を

また単結晶膜としてはシリコン基板を用いた場合に基板シリコンに対してホモ・エピタキシャル膜となるシリコンでもよいし、基板シリコンに対してヘテロ・エピタキシャル膜となる金属シリサイドや金属でもよい。以下ではシリコン基板を例に説明するが、他の半導体基板の場合でも同様なことが可能である。

〔作用〕

単結晶シリコンあるいは単結晶金属シリサイドあるいは単結晶金属を用いると、多結晶シリコンと異なり内部に結晶粒界がないため抵抗が下がり、素子の動作速度が上がる。また、単結晶であるために表面が平坦で凹凸があまりないことから、微細なパターンニングがしやすく、高速化と高集積化が期待できる。またパターンの方向を適当に選ぶことによってパターンニングの際に異方性エッチングを有効に利用することができる。異方性エッチングは単結晶性を用いることになるためパターンニングの際にサイズや形状を微細にコントロールできるといふ特徴を持つ。

厚く形成した状態を示す。成長初期、単結晶シリコン膜8は開口部6の上だけに選択的に成長するが、単結晶シリコンの膜厚が酸化シリコン膜5の厚さを越えると酸化シリコン膜5上へ横方向成長を始める。単結晶シリコン膜8を厚く成長させると単結晶シリコン膜8は酸化シリコン膜5を完全に被覆するようになる。そのあと単結晶シリコン膜8をパターンニングし、次いで通常のプロセスを用いて不純物原子のイオン注入を行い、セルフアラインでソースあるいはドレインを領域10に形成することにより第2図(c)に示すような単結晶シリコンをゲート9としたMOSトランジスタの基本構造を形成した。

実施例2

本発明の第2の実施例としては、第2図(a)の状態で開口部6に不純物原子を浅く高濃度にイオン注入しておく方法を挙げることができる。そのような状態で第2図(b)のようにシリコンの選択成長を行うと単結晶シリコン膜8の中に不純物原子が取込まれ、ゲートへの不純物ドーピングを

る程度行うことができる。この方法を用いることにより少なくとも二つの利点が挙げられる。第一には、このあと行われる不純物原子のイオン注入の際に注入深さを浅くでき、注入時間の短縮が図れ、また結晶へのダメージを軽減できることである。第二には、イオン注入後のアニールを低温・短時間で済ますことができることである。この方法によるゲートへの不純物ドーピングは、種になる領域の不純物がドーブされるため、CMOS (Complementary MOS) を形成するような場合に有利となる。

実施例3

本発明の第3の実施例としては、第2図(b)の成長時の状態でドーピングを行うことができる。利点は実施例2と同様であるが、実施例2と比較すると、高濃度ドーピングが可能な点で有利であり、CMOS形成などの場合に2度成長を行わなければならない点で不利となる。

実施例4

第3図は本発明の第4の実施例として特定の方

を形成し、ゲート21とソース22およびドレイン23を分離し、酸化などを用いて溝20を埋めることによってMOSTランスタスタを形成した。このような構造の場合、実施例2あるいは実施例3に示したようなドーピング方法を採用することが望ましい。

実施例6

第5図は本発明の第6の実施例を示している。

第5図は、第2図(b)に対応する図であり、単結晶シリコン基板24の上に薄い酸化シリコン膜25とその開口部26が形成されており、開口部26のシリコン基板にはイオン注入によって不純物原子がドーブされた不純物ドーピング部27が形成されている。WF₆を原料ガスとして第2図の場合と同様にタングステン膜28を選択成長させ、パターンニングによってゲート金属およびコンタクト(タングステン)領域を形成した。

また、原料ガスとしてMoF₆を用いることにより、ゲート金属およびコンタクト領域をモリブデンで形成することもできる。

向のパターンを用いた場合を示している。基板として(100)シリコン基板11を用い、パターンを<110>方向に切り、単結晶シリコン膜12の選択成長後、単結晶シリコン膜12の表面に形成した酸化シリコン膜13をパターンニングし、ヒドラジンなどの選択エッチング液を用いてエッチングを行うと、(111)面14がでやすいために第3図に示したように酸化シリコン膜13の端からのオーバーエッチがあまりないような形状を制御性良く作ることができた。

実施例5

第4図は本発明の第5の実施例の工程図である。成長前の基板構造を第4図(a)に示す。シリコン基板15の上には厚い酸化シリコン膜16、薄い酸化シリコン膜17および開口部18が形成されている。厚い酸化シリコン膜16程度の厚さに単結晶シリコン膜19を選択成長させた状態を第4図(b)に示す。厚い酸化シリコン膜16の無い領域が平坦に単結晶シリコン膜19で埋込まれた構造が作られる。その後、第4図(c)のようにエッチングによって溝20

【発明の効果】

以上述べたように、本発明によれば従来ゲートとして多結晶シリコンを用いていた場合の問題点である、結晶粒界による高抵抗化や粒成長による微細化阻害などのない半導体装置およびその製造方法を提供することができる。

また、こうした装置の形成過程において、単結晶性を利用した選択エッチングを行うことができると共に、目的に応じたドーピング方法を選んだり、効率的なドーピングを行うことができる等の特徴を有し、さらに基板上の酸化膜厚を変えておくことによって微細な素子分離構造と組み合わせることができるなど半導体装置の構造や構成に応じて種々の応用が可能であるという利点を有する。

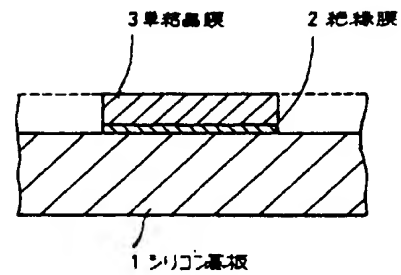
4. 図面の簡単な説明

第1図は本発明の半導体装置の模式的部分断面図、第2～5図は本発明の実施例を示す半導体装置の模式的部分断面図、第6図は従来の半導体装置の模式的部分断面図である。

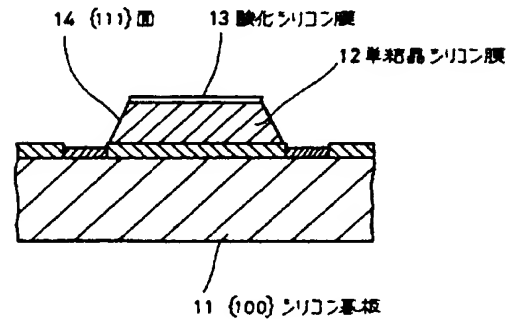
1, 15, 30…シリコン基板

- 2…絶縁膜 3…単結晶膜
 4, 24…単結晶シリコン基板
 5, 17, 25…薄い酸化シリコン膜
 6, 18, 26…開口部
 8, 12, 19…単結晶シリコン膜
 9, 21…ゲート
 10…ソースあるいはドレイン領域
 11…(100)シリコン基板 13…酸化シリコン膜
 14…(111)面
 16…厚い酸化シリコン膜 20…溝
 22…ソース 23…ドレイン
 27…不純物ドーピング部 28…タングステン膜
 29…多結晶シリコン 31…ゲート酸化膜

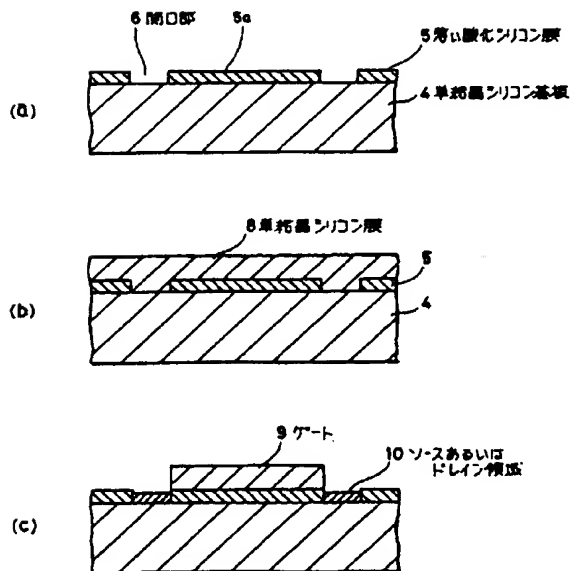
代理人弁理士 舘 野 千 恵 子



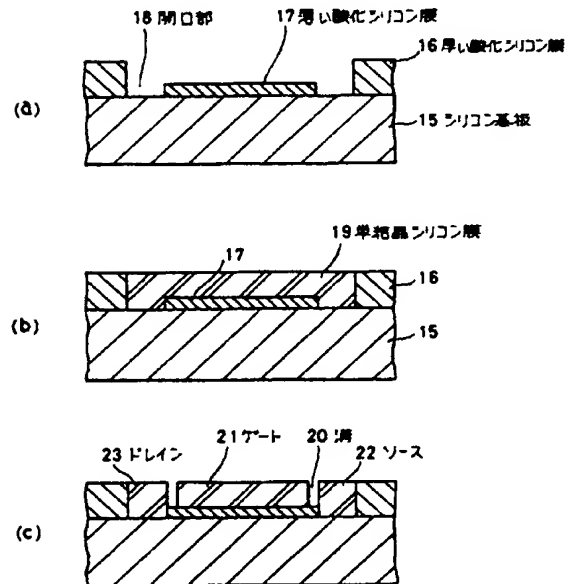
第 1 図



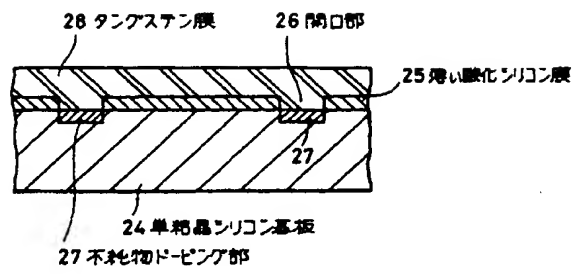
第 3 図



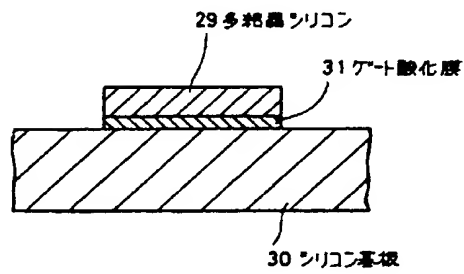
第 2 図



第 4 図



第5図



第6図